

特開平6-318703

(43) 公開日 平成6年(1994)11月15日

(51) Int. Cl. <sup>5</sup>

識別記号

F I

H01L 29/784

9056-4M

H01L 29/78

311

G

審査請求 未請求 請求項の数 7 F D (全6頁)

(21) 出願番号 特願平5-131377

(22) 出願日 平成5年(1993)5月8日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 寺本 聡

神奈川県厚木市長谷398番地 株式会社半

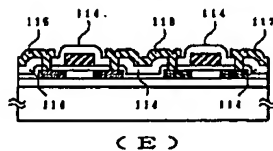
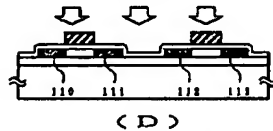
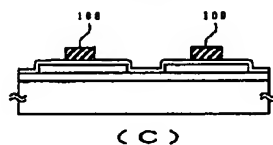
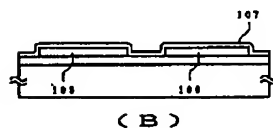
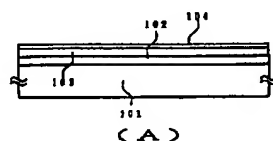
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】 (修正有)

【目的】 絶縁基板上に形成される薄膜半導体を用いた絶縁ゲート型電界効果半導体装置（一般に薄膜トランジスタまたはTFTと呼ばれる）の構成、及びその作製方法に関する。

【構成】 絶縁基板101上に設けられた絶縁ゲート型電界効果半導体装置において、ゲート絶縁膜107をSiO<sub>2</sub>N<sub>2</sub>で構成することにより、静電気による絶縁破壊から絶縁ゲート型電界効果半導体装置を守るとともに、ナトリウムイオンや重金属イオンの悪影響を抑制することができる。また、上記SiO<sub>2</sub>N<sub>2</sub>膜をクロールシランやジクロールシランを原料ガスとして形成することにより、塩素が添加されたSiO<sub>2</sub>N<sub>2</sub>膜とすることができ、該膜中の塩素の作用で、さらにナトリウムイオンや重金属イオンの悪影響を抑制することができる。



## 【特許請求の範囲】

【請求項1】 絶縁ゲイト型電界効果半導体装置であって、ゲイト絶縁膜が、 $\text{SiO}_2\text{N}_y$  で示される材料で構成されていることを特徴とする半導体装置。

【請求項2】 請求項1において、絶縁ゲイト型電界効果半導体装置は、絶縁基板上に形成されていることを特徴とする半導体装置。

【請求項3】 請求項1において、 $\text{SiO}_2\text{N}_y$  で示される材料のエネルギーバンドギャップは5.3 ~ 7.0 eVであり、比誘電率は4 ~ 6であり、 $x$  及び  $y$  は、 $0 < x < 2$ 、 $0 < y < 4/3$  を満たすことを特徴とする半導体装置。

【請求項4】 絶縁ゲイト型電界効果半導体装置であって、ゲイト絶縁膜が、塩素が添加された  $\text{SiO}_2\text{N}_y$  で示される材料で構成されることを特徴とする半導体装置。

【請求項5】 請求項4において、 $\text{SiO}_2\text{N}_y$  で示される材料のエネルギーバンドギャップは5.3 ~ 7.0 eVであり、比誘電率は4 ~ 6であり、 $x$  及び  $y$  は、 $0 < x < 2$ 、 $0 < y < 4/3$  を満たすことを特徴とする半導体装置。

【請求項6】 絶縁ゲイト型電界効果半導体装置の作製方法であって、

原料ガスとしてクロールシラン、またはジクロールシランを用いることにより、塩素が添加された  $\text{SiO}_2\text{N}_y$  で示される材料からなるゲイト電極を形成する工程、を有することを特徴とする半導体装置作製方法。

【請求項7】 請求項6において、 $\text{SiO}_2\text{N}_y$  で示される材料のエネルギーバンドギャップは5.3 ~ 7.0 eVであり、比誘電率は4 ~ 6であり、 $x$  及び  $y$  は、 $0 < x < 2$ 、 $0 < y < 4/3$  を満たすことを特徴とする半導体装置作製方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、絶縁基板上に形成される薄膜半導体を用いた絶縁ゲイト型電界効果半導体装置（一般に薄膜トランジスタまたはTFTと呼ばれる）の構成、及びその作製方法に関する。

## 【0002】

【従来の技術】 従来より、絶縁基板（特にガラス基板）上に形成された薄膜半導体を用いた絶縁ゲイト型電界効果半導体装置（以下TFTという）が知られている。これら絶縁基板上に形成されたTFTは、液晶ディスプレイやイメージセンサーといった装置に利用されている。

【0003】 そして、上記のようなTFTにおいては、ゲイト絶縁膜として酸化珪素（ $\text{SiO}_2$ ）が用いられるのが普通である。

## 【0004】

【発明が解決しようとする課題】 上記のような従来のT

F Tをガラス基板上に形成した場合、装置全体が静電気を帯びやすいので、ゲイト絶縁膜がその静電気によって絶縁破壊してしまう問題がある。即ち静電気の帯電によって、ゲイト絶縁膜を境にして高電圧が印加された状態になり、その電圧にゲイト絶縁膜が耐えられなくなってしまうという問題があった。

【0005】 上記問題は、酸化珪素（ $\text{SiO}_2$ ）膜のエネルギーバンドギャップ(Eg)が約8 eVと大きく、その比誘電率が約3.8と比較的小さいことに起因すると考えられる。

【0006】 また酸化珪素膜の代わりに、Egが約5 eVであり、比誘電率が約7である窒化珪素（ $\text{Si}_3\text{N}_4$ ）膜をゲイト絶縁膜として用いることも考えられるが、窒化珪素膜をゲイト絶縁膜として用いた場合には、Siクラスタが電荷捕獲中心となるので、C-V特性にヒステリシスが出てしまう。また、B-T処理において、 $\Delta V_{th}$ が約10 V程度動いてしまうという不都合がある。即ち、窒化珪素をゲイト絶縁膜として用いた場合には、その絶縁膜中に電荷捕獲中心が存在することになるので、絶縁膜としては好ましいものではない。

## 【0007】

【課題を解決するための手段】 本発明は、絶縁ゲイト型電界効果半導体装置であって、ゲイト絶縁膜が、 $\text{SiO}_2\text{N}_y$  で示される材料で構成されていることを特徴とする半導体装置、を要旨とするものである。特に絶縁基板上に上記構成を有すTFTを形成することは、静電気による静電破壊を防ぐ上で有用である。

【0008】 さらに、上記  $\text{SiO}_2\text{N}_y$  で示される材料で構成されるゲイト絶縁膜中には塩素(Cl)が添加されていることを特徴とするものである。

【0009】 またさらに、上記塩素が添加された  $\text{SiO}_2\text{N}_y$  で示される材料を形成する際に、塩素を膜中に添加するために、原料ガスとしてクロールシラン、またはジクロールシランを用いた気相法を用いることを特徴とするものである。

【0010】 そして、上記  $\text{SiO}_2\text{N}_y$  で示される材料は、そのエネルギーバンドギャップが5.3 ~ 7.0 eVであり、比誘電率が4 ~ 6であり、 $x$  及び  $y$  が、 $0 < x < 2$ 、 $0 < y < 4/3$  を満たすことを特徴とするものである。上記  $x$  及び  $y$  は、作製条件によって変更が可能であり、実施態様に合わせて設定すればよい。

【0011】  $\text{SiO}_2\text{N}_y$  で示される材料を形成する方法として、PCVD法(13.56MHz)、LPCVD法、光CVD法、パルス波形を印加するPCVD法等の気相法を用いることができる。

【0012】 また、本発明の  $\text{SiO}_2\text{N}_y$  で示される絶縁膜中には必要に応じて、他のハロゲン元素や不純物を人為的にドーピングすることも可能である。

## 【0013】

【作用】  $\text{SiO}_2\text{N}_y$  は、Egが5.3 ~ 7.0 eVであり、比

誘電率4~6であるので、フロアノットハイム電流（絶縁膜を介したトンネル電流）を酸化珪素膜より約1桁多く流すことができ、静電破壊に到ることを抑制することができる。

【0014】また、ゲイト絶縁膜である $\text{SiO}_2\text{N}$ 膜には、酸素が含まれており、この酸素がヒステリシスを無くすように作用し、さらにN（SiN結合）がNaや、重金属（FeやNiやCo）イオンのドリフトを防ぐように作用する。

【0015】さらに、塩素（Cl）が添加されているので、NaイオンやFeイオンをNaClやFeClとして中和（固定化）させることができ、さらにゲイト絶縁膜中における不純物イオンの悪影響を抑えることができる。

【0016】

【実施例】

【実施例1】本発明を利用して、TFTを作製する例を図1に示す。まず、ガラス基板（コーニング7059、 $300\text{mm} \times 300\text{mm}$ もしくは $100\text{mm} \times 100\text{mm}$ ）101上に下地酸化膜102として厚さ100~300nmの酸化珪素膜を形成した。この酸化珪素膜には、塩素が添加されており、Naや重金属の可動イオンの影響を抑えるようにする。

【0017】この酸化膜の形成方法としては、酸素雰囲気中でスパッタ法やTEOSをプラズマCVD法で分解・堆積した膜を450~650℃でアニールする方法を採用すればよい。塩素の添加は、雰囲気中に添加してもよいし、スパッタ法を用いる場合には、ターゲットに添加してもよい。

【0018】その後、プラズマCVD法（PCVD法）やLPCVD法によってアモルファス状のシリコン膜103を30~150nm、好ましくは50~100nm堆積する。このシリコン膜103は、ソース領域、チャネル形成領域、ドレイン領域を構成する活性層となる。

【0019】ここで、アモルファスシリコンを用いたTFTを作製するのであれば、このシリコン膜103の上にゲイト絶縁膜を形成すればよい。また、結晶生のシリコンを用いるのであれば、ここで熱アニール（600度以下で行うのが好ましい）やレーザー光の照射による結晶化を行えばよい。なお結晶化の際には、酸化珪素膜等で保護膜104をシリコン膜の汚染防止のために設けるのが効果的である。

【0020】つぎに、活性層となるシリコン膜103上にゲイト絶縁膜となる $\text{SiO}_2\text{N}$ 膜（以下 $\text{SiON}$ と略記する）107を200~1500Åの厚さに形成する。 $\text{SiON}$ 膜は、比誘電率が4~6であり、酸化珪素膜の比誘電率3.8に比較して、約50%大きいので、電氣的に同じ条件を得るのに、その膜厚を酸化珪素膜の場合と比較して50%厚くすることができる。電氣的に同じ条件でゲイト絶縁膜の膜厚を厚くできることは、絶縁耐圧

の問題（同じ電圧が印加された場合、膜厚が厚い法が電界が弱くなる）、さらにはピンホールを経由してのリークの問題に対して有利である。

【0021】形成方法は、クロールシランやジクロールシランを原料ガスとして用いたPCVD法を用いる。形成条件は、基板温度を300度~600度として、印加する高周波エネルギーとして、13.56MHzの高周波を用いる。コーニング7059に代表されるガラス基板は、一般にガラス転移温度が600~900度であり、プロセス温度としては、600度以下の温度であることが好ましい。

【0022】例えば、原料ガスとして、ジクロールシラン( $\text{SiH}_2\text{Cl}_2$ )を用いた場合、反応ガスとしてこのジクロールシラン以外に、アンモニア( $\text{NH}_3$ )と一酸化窒素( $\text{N}_2\text{O}$ )とを用いれば、気相反応の結果、 $\text{SiO}_2\text{N}$ と $\text{HCl}$ と $\text{H}_2\text{O}$ とが生成され、Cl（塩素）が添加された $\text{SiO}_2\text{N}$ 膜が得られる。また原料ガスとして、クロールシランを用いた場合にも同様に膜中にClを添加することができる。

【0023】この $\text{SiO}_2\text{N}$ 膜107の形成方法としては、印加電圧をパルス化したPCVD法、さらにはLPCVD法、さらには光CVD法を利用することができる。

【0024】この後、必要に応じて、シリコン層103とゲイト絶縁膜107との界面特性を改善するため、水素雰囲気中で350℃、2時間のアニールを行う。

【0025】次にシリコン層103を島状にパターンニングして、NTFT領域105とPTFT領域106を形成する。NTFTとはNチャネル型TFTの略であり、PTFTとはPチャネル型TFTの略である。

【0026】その後、厚さ200nm~5μmのアルミニウム膜を電子ビーム蒸着法によって形成して、これをパターンニングし、図1(C)に示すようにゲイト電極108、109を形成した。

【0027】その後、イオンドーピング法によって、各TFTの島状シリコン膜中に、ゲイト電極部をマスクとして自己整合的に一導電型を付与する不純物を注入した。この際には、最初に全面にフォスフィン( $\text{PH}_3$ )をドーピングガスとして燐を注入し、その後、図の島状領域105だけをフォトレジストで覆って、ジボラン( $\text{B}_2\text{H}_6$ )をドーピングガスとして、島状領域106だけに硼素を注入した。ドーズ量は、燐は $2 \sim 8 \times 10^{15} \text{cm}^{-2}$ 、硼素は $4 \sim 10 \times 10^{15} \text{cm}^{-2}$ とし、硼素のドーズ量が燐を上回るように設定した。

【0028】さらに、図1(D)に示すようにKrFエキシマーレーザー（波長248nm、パルス幅20ns）を照射して、上記不純物領域の導入によって、結晶性の劣化した部分の結晶性を改善させた。レーザーのエネルギー密度は200~400mJ/cm<sup>2</sup>、好ましくは250~300mJ/cm<sup>2</sup>とした。

【0029】こうして、N型不純物（燐）を領域11

0、111に、P型不純物（硼素）を領域112、113に形成した。これらの領域のシート抵抗は200～800Ω/□であった。

【0030】その後、全面に層間絶縁物114として、TEOSを原料として、これと酸素とのプラズマCVD法、もしくはオゾンとの減圧CVD法あるいは常圧CVD法によって酸化珪素膜を厚さ300nm形成した。基板温度は150～400℃、好ましくは200℃～300℃とした。

【0031】そして、TFTのソース/ドレインにコンタクトホールを形成し、アルミニウム配線115～117を形成した。図1（E）には、左側のNTFTと右側のPTFTでインバータ回路が形成されていることが示されている。

【0032】シリコン膜103を熱アニールにより結晶化させた場合、TFTの移動度はNTFTで50～100cm<sup>2</sup>/Vs、PTFTで30～100cm<sup>2</sup>/Vsが得られた。本実施例では最高プロセス温度は600℃以下であるので、コーニング7059等の無アルカリガラスであれば、基板の縮みやソリ等は皆無である。このため、基板が本実施例の如く大きなものであってもパターンのずれが発生することはほとんどなく、したがって、大面積ディスプレイもしくはその駆動回路に応用する上で都合がよい。

【0033】【実施例2】本実施例の作製工程の概略を図2に示す。本実施例は、アクティブマトリクス型の液晶表示装置の画素駆動に用いるTFTの作製例である。

【0034】基板201としてはコーニング7059ガラス基板（厚さ1.1mm、300×400mm）を使用した。このガラス基板には、ガラス基板中からのナトリウム等の不純物がTFT中に拡散しないように、プラズマCVD法で全面に厚さ5～50nm、好ましくは5～20nmの窒化珪素膜202が形成してある。

【0035】まず、上記のガラス基板上に下地酸化膜203（酸化珪素）を形成する。その後、LPCVD法もしくはプラズマCVD法でアモルファスシリコン膜204（厚さ30～150nm、好ましくは30～50nm）を形成し、400℃で1時間脱水素化を行った後、これをパターニングして島状の半導体領域（TFTの活性層）を形成した。

【0036】さらに実施例1と同様な方法により、SiON膜をゲイト絶縁膜205として形成した。勿論、ゲイト絶縁膜を形成する前に、アモルファスシリコン膜204をレーザー光の照射、または熱アニール（600度以下で行うのが好ましい）によってその結晶化を助長させ、結晶性シリコン（微結晶、多結晶、ポリシリコン、セミアモルファス等の結晶性を有するシリコン膜の総称）としてもよい。

【0037】次に、実施例1と同じ要領でアルミニウムのゲイト電極206を形成し、基板ごと電解溶液に浸漬

して、これを陽極として通電し、ゲイト電極等のアルミニウム配線表面に陽極酸化物の被膜209を形成した。このような陽極酸化の技術は本発明人等の出願である特願平4-30220、同4-38637、および同4-54322に記述されている。この工程の完了した様子を図2（B）に示す。また、陽極酸化工程が終了した後に、逆に負の電圧、例えば-100～-200Vの電圧を0.1～5時間印加してもよい。このときには、基板温度は100～250℃、代表的には150℃とすることが好ましい。

【0038】この工程によって、酸化珪素中あるいは酸化珪素とシリコン界面にあった可動イオンがゲイト電極（A1）に引き寄せられる。このように、陽極酸化後、もしくは陽極酸化中にゲイト電極に負の電圧を印加する技術は、本発明人等の出願の特願平4-115503（平成4年4月7日出願）に記述されている。

【0039】またこのゲイト電極206の側面の酸化物の被膜209は、後のイオン注入の際にマスクとなり、オフセットゲイト構造を形成することができる。

【0040】その後、P型の不純物として、硼素をイオンドーピング法でシリコン層に自己整合的に注入し、TFTのソース/ドレイン208、209を形成し、さらに、図2（C）に示すように、これにKrFエキシマレーザー光を照射して、このイオンドーピングのために結晶性の劣化したシリコン膜の結晶性を改善せしめた。このときにはレーザー光のエネルギー密度は250～300mJ/cm<sup>2</sup>と設定した。このレーザー照射によって、このTFTのソース/ドレインのシート抵抗は300～800Ω/□となった。

【0041】またこの時、酸化物の被膜209の作用で、自己整合的にオフセットゲイト構造が実現される。

【0042】その後、ポリイミドによって層間絶縁物210を形成し、さらに、画素電極211をITOによって形成した。そして、コンタクトホールを形成して、TFTのソース/ドレイン領域にクロム/アルミニウム多層膜で電極212、213を形成し、このうち一方の電極213はITOにも接続するようにした。クロム/アルミニウム多層膜は、下層にクロム膜20～200nm、典型的には100nm、上層にアルミニウム膜100～2000nm、典型的には500nmが堆積されてできている。これらは連続的にスパッタ法にて形成することが望まれる。

【0043】最後に、水素中で200～300℃の温度で2時間アニールして、シリコンの水素化を完了した。このようにして、TFTが完成した。

【0044】ここで示したのは、一つの画素に一つの駆動用のTFT（Pチャネル型TFT）が形成された例であるが、上記の工程を同時に行うことで、多数のTFTをマトリクス状に配列せしめ、アクティブマトリクス型液晶表示装置を作製することができる。

【0045】本発明の他の応用例としては、金属配線が形成された後の半導体集積回路において、TFTを形成する、いわゆる3次元ICが上げられる。その他にも様々な応用が可能である。

【0046】

【効果】絶縁基板、特にガラス基板上に設けられたTFTのゲイト絶縁膜をSiO<sub>2</sub>、N<sub>2</sub>、とすることによって、

・ゲイト電極の静電破壊の防止を図ることができる。  
・SiN結合によってNaや重金属イオンのドリフトを防ぐことができる。

・膜中に固定電荷が存在することがないので、C-V特性にヒステリシスが出ず、安定した動作を期待することができる。

【0047】また上記SiO<sub>2</sub>、N<sub>2</sub>、膜の作製方法に際して、原料ガスとしてクロールシラン、またはジクロールシランを用いることで、膜中にCl（塩素）を添加することができ、このClの働きで不純物イオンを固定化することができるので、上記効果に加えてさらに安定した効果を得ることができる。

【図面の簡単な説明】

【図1】 実施例1の作製工程を示す。

【図2】 実施例2の作製工程を示す。

【符号の説明】

101 ガラス基板

102

103

104

105

106

107

108

109

110

10 111

112

113

114

115~117

201

202

203

204

205

20 206

208/209

210

211

212, 213

下地酸化膜

シリコン膜

保護膜

島状半導体領域（NTFT用）

島状半導体領域（PTFT用）

ゲイト絶縁膜

ゲイト電極（NTFT用）

ゲイト電極（PTFT用）

N型不純物領域

N型不純物領域

P型不純物領域

P型不純物領域

層間絶縁物

金属配線

ガラス基板

窒化珪素膜

下地酸化膜

シリコン膜

ゲイト絶縁膜

ゲイト電極

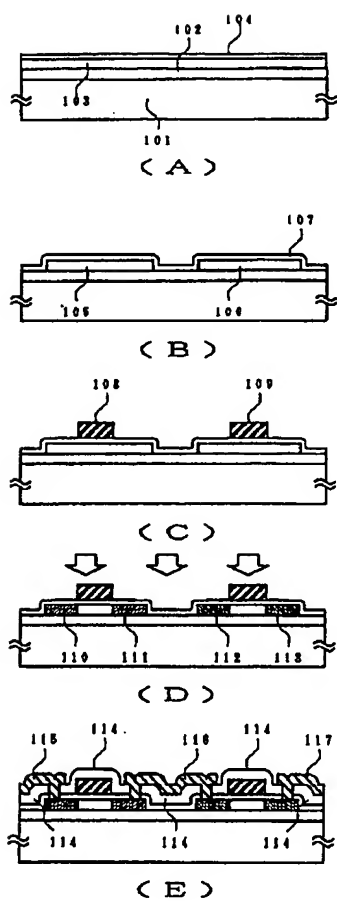
ソース/ドレイン

層間絶縁物

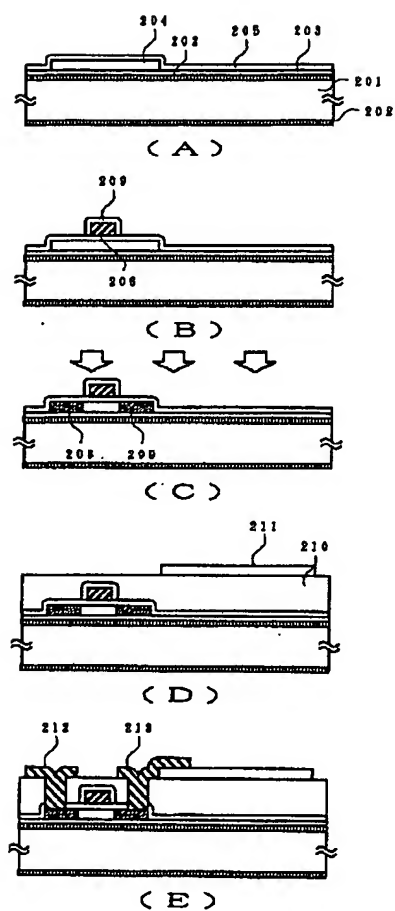
画素電極

電極

【図1】



【図2】



(19) Japanese Patent Office (JP)

(12) Patent Laid-Open Official Gazette (A)

(11) Publication Number: Japanese Published Patent Laid-Open No.H6-318703

(43) Date of Publication: November 15, 1994

5 (51) Int. Cl.<sup>5</sup> Identification Number JPO file number FI

H01L 29/784

9056-4M

H01L29/78 311 G

Technical display place

Request of Examination: not made

The Number of Claims: 7 FD (6 pages in total)

10 (21) Application Number: Japanese Patent Application No.H5-131377

(22) Filing Date: May 8, 1993

(71) Applicant: 000153878

Semiconductor Energy Laboratory Co., Ltd.

398 Hase, Atsugi-shi, Kanagawa

15 (72) Inventor: Satoshi TERAMOTO

c/o Semiconductor Energy Laboratory Co., Ltd.

398 Hase, Atsugi-shi, Kanagawa

(54) [Title of the Invention]

Semiconductor device and manufacturing method thereof

20 (57) [Abstract] (amended)

[Object]

The present invention relates to a structure and a manufacturing method of an insulating gate field effect semiconductor device using a thin film semiconductor formed over an insulating substrate (generally referred to as a thin film transistor or a

25 TFT).

[Structure]

By forming a gate insulating film 107 using SiO<sub>x</sub>N<sub>y</sub> in an insulating gate field effect semiconductor device provided over an insulating substrate 101, the insulating gate field effect semiconductor device can be protected from breakdown due to static

30 electricity, and adverse effect caused by sodium (Na) ions and heavy metal ions can be

suppressed. In addition, by forming the  $\text{SiO}_x\text{N}_y$  film with chlorosilane or dichlorosilane as material gas, a  $\text{SiO}_x\text{N}_y$  film added with chlorine (Cl) can be obtained. Accordingly, adverse effect caused by sodium (Na) ions and heavy metal ions can be further suppressed by the effect of the chlorine in the film.

5 [Scope of Claims]

[Claim 1]

An insulating gate field effect semiconductor device characterized in that a gate insulating film comprises a material represented by  $\text{SiO}_x\text{N}_y$ .

[Claim 2]

10 A semiconductor device according to Claim 1, characterized in that the insulating gate field effect semiconductor device is formed over an insulating substrate.

[Claim 3]

A semiconductor device according to Claim 1, characterized in that the material represented by  $\text{SiO}_x\text{N}_y$  has an energy band gap of 5.3 ~ 7.0 eV, a dielectric constant of 4 ~ 6, and x and y satisfy the relations of:  $0 < x < 2$  and  $0 < y < 4/3$ .

15 [Claim 4]

An insulating gate field effect semiconductor device characterized in that a gate insulating film comprises a material represented by  $\text{SiO}_x\text{N}_y$  added with chlorine (Cl).

[Claim 5]

20 A semiconductor device according to Claim 4, characterized in that the material represented by  $\text{SiO}_x\text{N}_y$  has an energy band gap of 5.3 ~ 7.0 eV, a dielectric constant of 4 ~ 6, and x and y satisfy the relations of:  $0 < x < 2$  and  $0 < y < 4/3$ .

[Claim 6]

A manufacturing method of an insulating gate field effect semiconductor device characterized by comprising a step in which a gate electrode formed of a material represented by  $\text{SiO}_x\text{N}_y$  added with chlorine (Cl) is formed using chlorine or dichlorosilane as a raw material gas.

25 [Claim 7]

A manufacturing method of an insulating gate field effect semiconductor device according to Claim 1, characterized in that the material represented by  $\text{SiO}_x\text{N}_y$



has an energy band gap of 5.3 ~ 7.0 eV, a dielectric constant of 4 ~ 6, and x and y satisfy the relations of:  $0 < x < 2$  and  $0 < y < 4/3$ .

[Detailed Description of the Invention]

[0001]

5 [Field of Industrial Application]

The present invention relates to a structure and a manufacturing method of an insulating gate field effect semiconductor device using a thin film semiconductor formed over an insulating substrate (generally referred to as a thin film transistor or a TFT).

10 [0002]

[Related Art]

Conventionally, an insulating gate field effect semiconductor device using a thin film semiconductor (hereinafter referred to as a TFT) formed over an insulating substrate (especially a glass substrate) has been known. Such a TFT formed over an insulating substrate is used for devices such as liquid crystal displays and image sensors.

15

[0003]

It is common to use silicon oxide ( $\text{SiO}_2$ ) for a gate insulating film of the TFT as mentioned above.

20 [0004]

[Problems to be Solved by the Invention]

In the case of forming such a conventional TFT over a glass substrate, the entire device tends to be charged with static electricity. Thus, there is a problem that breakdown of the gate insulating film occurs due to the static electricity. That is, there is a problem that the charged static electricity generates a high voltage across the gate insulating film, and that the gate insulating film cannot withstand this voltage.

25

[0005]

It is considered that the above problem occurs because the energy band gap ( $E_g$ ) of a silicon oxide ( $\text{SiO}_2$ ) film is as much as approximately 8 eV and because the dielectric constant thereof is approximately 3.8, which is relatively small.

30

[0006]

It is considered to use a silicon nitride ( $\text{Si}_3\text{N}_4$ ) film with an  $E_g$  of approximately 5 eV and the dielectric constant of approximately 7 as a gate insulating film instead of the silicon oxide film. However, when the silicon nitride film is used  
 5 as the gate insulating film, hysteresis occurs to C-V characteristics, because Si clusters become charge trapping centers. Furthermore, there is a problem that the threshold voltage ( $\Delta V_{th}$ ) shifts approximately 10 V during B-T (bias-temperature) treatment. That is, when silicon nitride is used as the gate insulating film, then charge trapping centers exist in the insulating film; therefore, the film is not preferable as the insulating  
 10 film.

[0007]

[Means for Solving the Problem]

The summary of the present invention is an insulating gate field effect semiconductor device characterized in that a gate insulating film comprises a material  
 15 represented by  $\text{SiO}_x\text{N}_y$ . It is especially effective to form a TFT having the structure over an insulating substrate so as to prevent breakdown due to static electricity.

[0008]

In addition, the present invention is further characterized in that chlorine (Cl) is added to the gate insulating film comprising the material represented by the  $\text{SiO}_x\text{N}_y$ .

20 [0009]

Furthermore, the present invention is also characterized in that when forming the  $\text{SiO}_x\text{N}_y$  material added with chlorine, a gas phase method using chlorine or dichlorosilane as a raw material gas is used to add the chlorine in the film.

[0010]

25 The material represented by  $\text{SiO}_x\text{N}_y$  has an energy band gap of 5.3 ~ 7.0 eV, a dielectric constant of 4 ~ 6, and x and y satisfy the relations of:  $0 < x < 2$  and  $0 < y < 4/3$ . The x and y of the above can be changed according to formation conditions, and can be set according to embodiment modes.

[0011]

30 As a method of forming the material represented by  $\text{SiO}_x\text{N}_y$ , a vapor phase

method such as a plasma chemical vapor deposition (PCVD) method (13.56 MHz), a low pressure chemical vapor deposition (LPCVD) method, a photo CVD method, or a PCVD method applying pulse waves can be used.

[0012]

5 In addition, it is also possible to intentionally dope other halogen elements or impurities into the insulating film represented by  $\text{SiO}_x\text{N}_y$  of the present invention, if necessary.

[0013]

[Operation]

10 The energy band gap, or  $E_g$ , of  $\text{SiO}_x\text{N}_y$  is  $5.3 \sim 7.0 E_g$ , and the dielectric constant ranges from  $4 \sim 6$ . Thus, Fowler-Nordheim current (tunnel current through an insulating film) can flow at approximately ten times the rate as with a silicon oxide film, and thus breakdown due to static electricity is suppressed.

[0014]

15 Further, oxygen is included in the  $\text{SiO}_x\text{N}_y$  film, which is a gate insulating film, and this oxygen causes a loss of hysteresis. Furthermore, N (SiN bonding) prevents drift of Na and heavy metal (Fe, Ni, or Co) ions.

[0015]

Moreover, since chlorine (Cl) has been added, Na ions and Fe ions can be  
20 neutralized (i.e. fixed) as NaCl or FeCl. Furthermore, adverse effects caused by impurity ions in the gate insulating film can be suppressed.

[0016]

[Embodiment]

(Embodiment 1)

25 An example of manufacturing a TFT by using the present invention is shown in FIG. 1. First, a silicon oxide film having a thickness of  $100 \sim 300 \text{ nm}$  is formed over a glass substrate 101 (Corning 7059,  $300 \text{ mm} \times 300 \text{ mm}$  or  $100 \text{ mm} \times 100 \text{ mm}$ ) as a base oxide film 102. Chlorine is added to this silicon oxide film so that effects caused by movable ions such as Na or heavy metals can be suppressed.

30 [0017]

A sputtering method in an oxygen atmosphere or a method for annealing a film formed of decomposed and deposited Tetraethyl oxysilicate (TEOS) by a plasma CVD method at temperatures of 450 ~ 650°C may be employed as a method for forming this oxide film. Chlorine may be added in the atmosphere or may be added to a target when a sputtering method is used.

[0018]

Thereafter, an amorphous state silicon film 103 having a thickness of 30 ~ 150 nm, preferably a 50 ~ 100 nm is deposited by a plasma CVD method (a PCVD method) or an LPCVD method. This amorphous silicon film 103 serves as an active layer which forms a source region, a channel formation region, and a drain region.

[0019]

Here, in a case of manufacturing a TFT using amorphous silicon, a gate insulating film may be formed over this amorphous silicon film 103. In a case where crystalline silicon is used, crystallization may be performed here by thermal annealing (preferably performed at temperatures 600°C or less) or by irradiation of laser light. Note that, at the time of the crystallization, it is effective to provide a protection film 104 using a silicon oxide film or the like to prevent contamination of the silicon film.

[0020]

Next, a  $\text{SiO}_x\text{N}_y$  film (hereinafter, abbreviated to SiON) 107, which is to be the gate insulating film, is formed over the silicon film 103, which is to be used as an active layer, to have a thickness of a 200 ~ 1500 Å. The dielectric constant of the  $\text{SiO}_x\text{N}_y$  film is 4 to 6, which is larger than the dielectric constant of 3.8 of a silicon oxide film by approximately 50%. Thus, the thickness of the  $\text{SiO}_x\text{N}_y$  film can be greater than that of the silicon oxide film by 50%, though the same electric conditions are still obtained. The thicker gate insulating film having the same electric conditions is advantageous for solving the problem of a dielectric strength voltage (when the same voltage is applied, the electric field is weaker in the thicker film), and moreover, for solving the problem of current leakage through pin holes.

[0021]

A PCVD method using chlorosilane or dichlorosilane as a raw material gas is

used as a formation method. As the formation condition, the substrate is maintained at temperatures of 300 ~ 600°C, and a high frequency of 13.56 MHz is used as the high frequency energy to be applied. A glass substrate represented by Corning 7059 generally has glass transition temperature of 600 ~ 900°C, so it is preferable that a process temperature be less than or equal to 600°C.

[0022]

For example, when dichlorosilane ( $\text{SiH}_2\text{Cl}_2$ ) is used as a raw material gas, and if ammonia ( $\text{NH}_3$ ) and nitrogen monoxide ( $\text{N}_2\text{O}$ ) are used as a reaction gas in addition to the dichlorosilane,  $\text{SiO}_x\text{N}_y$ ,  $\text{HCl}$ , and  $\text{H}_2\text{O}$  are generated as a result of the gas phase reaction, and then a  $\text{SiO}_x\text{N}_y$  film added with  $\text{Cl}$  (chlorine) is obtained. In addition, when chlorosilane is used as a raw material gas,  $\text{Cl}$  can be added to the film in the same way.

[0023]

As a method for forming the  $\text{SiO}_x\text{N}_y$  film 107, a PCVD method in which the applied voltage is pulsed, or furthermore, a LPCVD method, or a photo CVD method can be used.

[0024]

Thereafter, if necessary, annealing in a hydrogen atmosphere at 350°C for two hours is performed to improve the interface characteristics between the silicon layer 103 and the gate insulating film 107.

[0025]

Next, the silicon layer 103 is patterned into island-shape to form an NTFT region 105 and a PTFT region 106. An NTFT stands for an N channel type TFT, and a PTFT stands for a P channel type TFT.

[0026]

Then, an aluminum film having a thickness of 200 nm ~ 5  $\mu\text{m}$  is formed by an electron beam evaporation method, and patterned to form gate electrodes 108 and 109 as shown in FIG. 1(C).

[0027]

Thereafter, an impurity imparting one conductivity type is injected to the

island-shaped silicon films of each TFT in a self-alignment manner, using the gate electrode portion as a mask by an ion doping method. In this step, phosphorous is first injected to the entire surface with phosphine ( $\text{PH}_3$ ) as a doping gas. After that, only the island-shaped region 105 is covered with a photoresist, and boron is injected only to the island-shaped region 106 with diborane ( $\text{B}_2\text{H}_6$ ) as a doping gas. The dose amount of phosphorous is set to be  $2 \sim 8 \times 10^{15} \text{ cm}^{-2}$ , and that of boron is set to be  $4 \sim 10 \times 10^{15} \text{ cm}^{-2}$  so that the dose amount of boron is more than that of phosphorous.

[0028]

Further, as shown in FIG. 1(D), a KrF excimer laser (wavelength of 248 nm, pulse width of 20 nsec) is emitted in order to improve the crystallinity of portion which has been deteriorated by the introduction of the impurity regions. Energy density of the laser is set to be  $200 \sim 400 \text{ mJ/cm}^2$ , preferably  $250 \sim 300 \text{ mJ/cm}^2$ .

[0029]

In this way, an N-type impurity (phosphorous) is formed in regions 110 and 111, and a P-type impurity (boron) is formed in regions 112 and 113. Sheet resistance of these regions is  $200 \sim 800 \text{ } \Omega/\square$ .

[0030]

Thereafter, a silicon oxide film is formed with a thickness of 300 nm as an interlayer insulator 114 over the entire surface using TEOS as a raw material, by a plasma CVD method with TEOS and oxygen, a low pressure CVD method, or a normal pressure CVD method with TEOS and ozone. The temperature of the substrate is set to be  $150 \sim 400^\circ\text{C}$ , preferably  $200 \sim 300^\circ\text{C}$ .

[0031]

Then, contact holes are formed in the source/drain of the TFTs, and aluminum wirings 115 to 117 are formed. FIG. 1(E) shows that an inverter circuit is formed at an NTFT on the left side and a PTFT on the right side.

[0032]

When the silicon film 103 is crystallized by thermal annealing, such mobility of the TFTs is obtained that the mobility for the NTFT is  $50 \sim 100 \text{ cm}^2/\text{Vs}$ , and that the mobility for the PTFT is  $30 \sim 100 \text{ cm}^2/\text{Vs}$ . Since the highest process temperature is

less than or equal to 600°C in this embodiment, there is no shrinkage or warp or the like of the substrate if the substrate is non-alkali glass such as Corning 7059. Therefore, even if the substrate is as large as that of this embodiment, dislocation of a pattern hardly occurs. Accordingly, it is convenient for application to a large-scale display or a driving circuit thereof.

[0033]

(Embodiment 2)

FIG. 2 shows the brief summary of a manufacturing method of this embodiment. This embodiment is an example of manufacturing a TFT used for driving pixels of an active matrix type liquid crystal display device.

[0034]

A Corning 7059 glass substrate (1.1 mm thickness, 300 × 400 mm) is used as a substrate 201. A silicon nitride film 202 having a thickness of 5 ~ 50 nm, preferably a thickness of 5 ~ 20 nm is formed over the entire surface of the glass substrate by a plasma CVD method so that an impurity such as sodium from the glass substrate is not diffused into a TFT.

[0035]

First, a base oxide film 203 (silicon oxide) is formed over the glass substrate. After that, an amorphous silicon film 204 (thickness of 30 ~ 150 nm, preferably 30 ~ 50 nm) is formed by an LPCVD method or a plasma CVD method and patterned to form an island-shaped semiconductor region (an active layer of a TFT) after dehydrogenation is performed at 400°C for an hour.

[0036]

Further, by the same method as in Embodiment 1, a  $\text{SiO}_x\text{N}_y$  film is formed as a gate insulating film 205. Naturally, before forming the gate insulating film, the amorphous silicon film 204 may be crystallized to form crystalline silicon (a collective term for a silicon film having crystallinity such as micro-crystalline, poly-crystalline, poly-silicon, and semiamorphous) by performing irradiation of laser light or thermal annealing (preferably performed at less than or equal to 600°C) to promote crystallization.

[0037]

Next, a gate electrode 206 of aluminum is formed in the same manner as in Embodiment 1. The gate electrode with the substrate is dipped in an electrolyte solution. A current is applied through the gate electrode with this gate electrode as an anode. Thus, a coating film 209 of anodic oxide is formed over the surface of the aluminum wirings such as the gate electrode. Technique of anodic oxidation is described in Japanese Patent Applications No. 4-30220, 4-38637, and 4-54322 applied by the present inventor or the like. The state of the device after this process is finished is shown in FIG. 2(B). On the other hand, negative voltage such as -100 ~ -200 V may be applied for 0.1 to 5 hours after anodic oxidation process is finished. In this case, it is preferable that the temperature of the substrate be 100 ~ 250°C, typically 150°C.

[0038]

By this process, movable ions existing in the silicon oxide or in the interface between the silicon oxide and the silicon are drawn to the gate electrode (Al). The technique of applying a negative voltage to the gate electrode after or during anodic oxidation is described in Japanese Patent Application No. 4-115503 (filed on Apr. 7, 1992) by the present inventor or the like.

[0039]

In addition, an oxide coating film 209 on the side surface of the gate electrode 206 functions as a mask in a process of ion injection later. Thus, an off-set gate structure can be formed.

[0040]

Thereafter, boron is injected as a P-type impurity to a silicon layer in a self-alignment manner by an ion doping method to form source/drain regions 208 and 209 of a TFT. Further, as shown in FIG. 2(C), KrF excimer laser light is emitted, and the crystallinity of the silicon film, which has been deteriorated by the ion doping, is improved. At this time, the energy density of the laser light is set to be at 250 ~ 300 mJ/cm<sup>2</sup>. By this laser irradiation, sheet resistance of the source/drain of this TFT becomes 300 ~ 800 Ω/□.

[0041]



At the same time, by the effect of the oxide coating film 209, an off-set gate structure is formed in a self-alignment manner.

[0042]

Thereafter, an interlayer insulator 210 is formed of polyimide, and a pixel electrode 211 is formed of ITO. A contact hole is formed, and electrodes 212 and 213 are formed of chromium/aluminum multilayer in the source/drain regions of the TFT. One of these electrodes 213 is made to connect the ITO, too. The chrome/aluminum multilayer are formed of a chromium film having a thickness of 20 ~ 200 nm, typically a thickness of 100 nm as the lower layer, and an aluminum film having a thickness of 100 ~ 2000 nm, typically a thickness of 500 nm as the upper layer. It is desirable that these layers be formed in continuation by a sputtering method.

[0043]

Finally, the substrate is annealed for two hours in hydrogen at temperatures of 200°C ~ 300°C, and hydrogenization of silicon is completed. The TFT is completed in this manner.

[0044]

The example shown here is an example in which one driving TFT (P-channel type TFT) is formed in one pixel. By performing the above mentioned processes simultaneously, a large number of TFTs can be formed in a matrix, and an active matrix type liquid crystal display device can be manufactured.

[0045]

Another application example of the present invention is a so called three dimensional IC having a TFT formed over a semiconductor integrated circuit after metal wirings are formed. Besides, various kinds of applications can be performed.

[0046]

[Effect]

By forming a gate insulating film of a TFT provided over an insulating substrate, especially over a glass substrate, using  $\text{SiO}_x\text{N}_y$ , the following advantages can be realized:

-Breakdown due to static electricity of the gate electrode can be prevented.

-SiN bonding can prevent drift of Na and heavy metal ions.

-Because fixed charge does not exist in the film, hysteresis is not found in the C-V characteristic, and stable operation can be expected.

[0047]

5           In addition, by using chlorosilane or dichlorosilane as raw material gas in the method for forming the above  $\text{SiO}_x\text{N}_y$  film, Cl (chlorine) can be added in the film, and impurity ions can be fixed by the effect of this Cl. Accordingly, further stabilizing effects can be obtained in addition to the above mentioned effect.

[Brief Description of the Drawings]

10           In the accompanying drawings:

FIGS. 1 each show a manufacturing process of Embodiment 1 of the present invention.

FIGS. 2 each show a manufacturing process of Embodiment 2 of the present invention.

15 [Description of the Numerals]

101	glass substrate
102	base oxide film
103	silicon film
104	protection film
20 105	island-shaped semiconductor region (for NTFT)
106	island-shaped semiconductor region (for PTFT)
107	gate insulating film
108	gate electrode (for NTFT)
109	gate electrode (for PTFT)
25 110	N-type impurity region
111	N-type impurity region
112	P-type impurity region
113	P-type impurity region
114	interlayer insulator
30 115 to 117	metal wiring

	201	glass substrate
	202	silicon nitride film
	203	base oxide film
	204	silicon film
5	205	gate insulating film
	206	gate electrode
	208/209	source/drain
	210	interlayer insulator
	211	pixel electrode
10	212, 213	electrode